

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-133941

(43)Date of publication of application : 22.05.1998

(51)Int.Cl. G06F 12/02

(21)Application number : 09-236079

(71)Applicant : NEC CORP

(22)Date of filing : 01.09.1997

(72)Inventor : LUAN CHUNG-CHEN  
CHONG SIU-MING  
WANG JAMES H  
WONG JOHN  
YEH GONG-JONG

(30)Priority

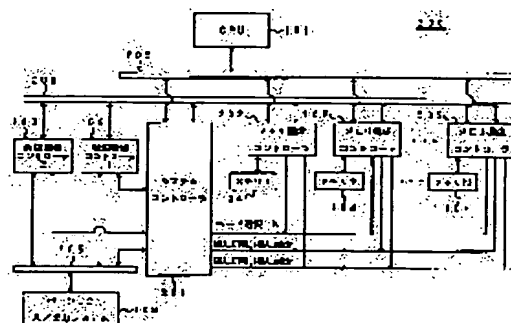
Priority number : 96 742339 Priority date : 01.11.1996 Priority country : US

## (54) PROGRAMMABLE SHARED MEMORY SYSTEM AND MEMORY SHARING METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a shared memory system reducing system memory requests and a cost in total by improving the utilization of a memory without reducing the performance of the system.

SOLUTION: Memory structure is realized by using dual bus structure provided with HPB(host processor bus) 203 and SMB(shared memory bus) 206 connected to CPU by a system controller 201 or connected to a peripheral device by a peripheral device controller 106. The memory structure is additionally provided with a memory constituted controller 202 connected to plural memories 104 which can be constituted within the system. Each constituted controller is connected with both of HPB and SMB. Under programmed control, each constituted controller connects a memory to HPB or SMB corresponding to constitution information stored in the system controller. The memory connected with HPB operates as a private processor memory and the memory connected with SMB operates as a shared memory accessible from a processor and any peripheral device within the system.



## LEGAL STATUS

[Date of request for examination] 01.09.1997

[Date of sending the examiner's decision of rejection] 04.07.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's decision  
of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-133941

(43) 公開日 平成10年(1998) 5月22日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 12/02

識別記号

5 1 0

F I

G 0 6 F 12/02

5 1 0 M

審査請求 有 請求項の数15 O L (全 13 頁)

(21) 出願番号 特願平9-236079

(22) 出願日 平成9年(1997) 9月1日

(31) 優先権主張番号 08/742339

(32) 優先日 1996年11月1日

(33) 優先権主張国 米国 (U S)

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 チャンーチェン ルアン

アメリカ合衆国, カリフォルニア, サラト  
ガ, ヴュー リッジ ドライブ 19796

(72) 発明者 シーミン チョン

アメリカ合衆国, カリフォルニア, フリー  
モント, ポートラ ドライブ 4716

(72) 発明者 ジェームズ エイチ. ワン

アメリカ合衆国, カリフォルニア, サン  
ホセ, ウィリー ウェイ 1349

(74) 代理人 弁理士 後藤 洋介 (外2名)

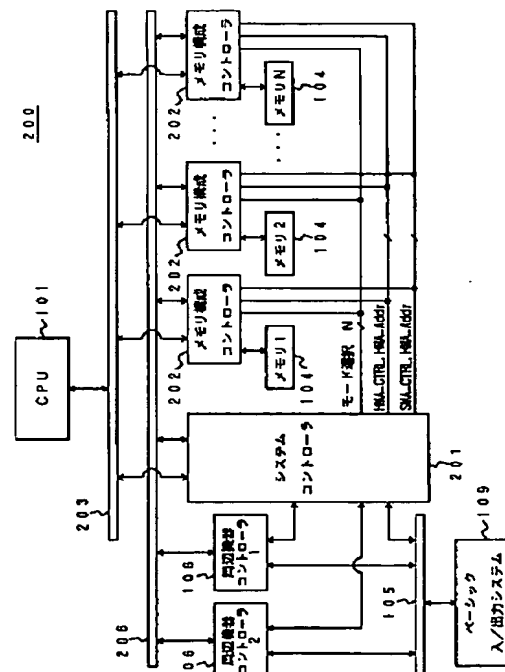
最終頁に続く

(54) 【発明の名称】 プログラマブル共有メモリシステムおよびメモリ共有方法

(57) 【要約】

【課題】 システムの性能を低下させることなくメモリの活用度を向上させ、全体的なシステムメモリ要求とコストを低減させることのできる共有メモリシステムを提供すること。

【解決手段】 メモリ構造を、CPU101に接続されたHPB203とシステムコントローラ201によってCPUに接続されるか又は周辺機器コントローラ106によって周辺機器に接続されるSMB206を有するデュアルバス構造を用いて実現する。メモリ構造は更に、システム内で構成可能な複数のメモリ104に接続されたメモリ構成コントローラ202を有する。各構成コントローラは、HPB、SMBの両方に接続される。プログラムされた制御のもとで、各構成コントローラは、システムコントローラに記憶された構成情報に応じて、メモリをHPBあるいはSMBに接続する。HPBに接続されたメモリは専用プロセッサメモリとして動作し、SMBに接続されているメモリは、プロセッサとシステム内のあらゆる周辺機器によりアクセス可能な共有メモリとして動作する。



## 【特許請求の範囲】

【請求項1】 プロセッサおよび周辺機器を有するコンピュータシステムにおいてメモリを割当てる方法において、  
構成要求を受信するステップと、  
前記構成要求に従って決定される前記メモリの第一の部分をプロセッサ専用で割当てるステップと、  
前記構成要求に従って決定される前記メモリの第二の部分を前記プロセッサおよび前記周辺機器に共有されるものとして割当てるステップとを含むことを特徴とするメモリ共有方法。

【請求項2】 前記メモリの第一の部分を前記プロセッサ専用で割当てるステップは、前記メモリの第一の部分をプロセッサバスに接続するステップを含み、前記メモリの第二の部分を前記プロセッサおよび前記周辺機器に共有されるものとして割当てるステップは、前記メモリの第二の部分を前記プロセッサおよび前記周辺機器の両方に接続された第二のバスに接続するステップを含むことを特徴とする請求項1に記載のメモリ共有方法。

【請求項3】 前記メモリの第一の部分をプロセッサバスに接続するステップは、第一の切替え回路を用いて、前記メモリの第一の部分のアドレス入力、データポートおよび制御入力を、前記プロセッサバスに接続するステップを含み、前記メモリの第二の部分を前記プロセッサおよび前記周辺機器の両方に接続された前記第二のバスに接続するステップは、切替え回路を用いて、アドレス入力、データポートおよび制御入力を、前記第二のバスに接続するステップを含むことを特徴とする請求項2に記載のメモリ共有方法。

【請求項4】 前記メモリの第二の部分へのアクセスを調整するステップをさらに含むことを特徴とする請求項1に記載のメモリ共有方法。

【請求項5】 前記メモリの第二の部分へのアクセスを調整するステップと、前記メモリの第一の部分への調整なしのアクセスを許可するステップとをさらに含むことを特徴とする請求項1に記載のメモリ共有方法。

【請求項6】 前記構成要求を受信するステップは、利用可能なシステムメモリの量を決定するステップと、利用可能なシステムメモリの前記決定された量をユーザーに対して表示するステップと、  
前記利用可能なシステムメモリの量を表示するステップの後で、前記構成要求を受信するステップとを含むことを特徴とする請求項1に記載のメモリ共有方法。

【請求項7】 前記構成要求を受信するステップは、前記利用可能なシステムメモリの量にそれぞれ対応する予め定められた構成要求の集合を記憶するステップと、前記利用可能なシステムメモリの量を決定するステップと、  
前記利用可能なシステムメモリの前記決定された量に対応する予め定められた構成要求を取り出すステップとを

含むことを特徴とする請求項1に記載のメモリ共有方法。

【請求項8】 プロセッサと、前記プロセッサに接続されたプロセッサバスと、周辺機器と、前記周辺機器および前記プロセッサに接続された共有バスと、複数のメモリを含むコンピュータシステムのメモリを構成する方法において、  
共有メモリとプロセッサメモリのいずれかを指定するメモリ割当て要求を受信するステップと、  
前記割当て要求を記憶するステップと、  
共有メモリを指定する記憶された割当て要求に応じて前記メモリを共有メモリバスに切替えるステップと、  
プロセッサメモリを指定する記憶された割当て要求に応じて前記メモリをプロセッサバスに切替えるステップとを含むメモリ共有方法。

【請求項9】 共有メモリとプロセッサメモリのいずれかを指定するメモリ割当て要求を受信するステップは、利用可能なシステムメモリの量を決定するステップと、利用可能なシステムメモリの前記決定された量をユーザーに表示するステップと、  
前記利用可能なシステムメモリを表示するステップの後でユーザーからの割当て要求を受信するステップとを含むことを特徴とする請求項8に記載のメモリ共有方法。

【請求項10】 共有メモリとプロセッサメモリのいずれかを指定する前記メモリ割当て要求を受信するステップは、  
利用可能なシステムメモリの量にそれぞれ対応する予め定められたメモリ割当て要求の集合を記憶するステップと、  
前記利用可能なシステムメモリの量を決定するステップと、  
利用可能なシステムメモリの前記決定された量に対応する予め定められたメモリ割当てを取り出すことを特徴とする請求項8に記載のメモリ共有方法。

【請求項11】 プロセッサと、周辺機器と、複数のメモリとを有し、前記プロセッサおよび前記周辺機器によりアクセスされる共有メモリとして、または、前記プロセッサによりアクセスされるプロセッサ専用メモリとして、メモリを構成するシステムにおいて、  
前記プロセッサに接続された第一のバスと、  
前記周辺機器および前記プロセッサに接続された第二のバスと、  
前記共有メモリバスと、前記プロセッサバスと、少なくとも一つのメモリに接続され、前記メモリを前記第一および前記第二のバスの一方に選択的に接続させるコントローラとを備えたことを特徴とする共有メモリシステム。

【請求項12】 前記コントローラは、  
前記第一のバスおよび前記第二のバスに接続され、メモリ構成を記憶するための構成レジスタを有するシステム

コントローラと、

前記システムコントローラと、前記第二のバスと、前記第一のバスと、少なくとも一つのメモリに接続され、前記記憶されたメモリ構成に応じて前記第一および前記第二のバスの一方に前記メモリを選択的に接続させるためのメモリ構成コントローラとを有することを特徴とする請求項11に記載の共有メモリシステム。

【請求項13】 前記メモリ構成コントローラは、前記第一のバスに接続された第一のポートと、前記第二のバスに接続された第二のポートと、メモリデータバスに接続された第三のポートとを有し、前記システムコントローラから受信した制御信号に応じて前記第一および前記第二のポートの一方に前記第三のポートを選択的に接続させるためのデータマルチプレクサを備えたことを特徴とする請求項12に記載の共有メモリシステム。

【請求項14】 前記メモリ構成コントローラは、前記システムコントローラに接続された選択入力と、前記システムコントローラの第一の制御出力に接続された第一の入力ポートと、前記システムコントローラの第二の制御出力に接続された第二の入力ポートと、メモリ制御入力に接続された第三の出力ポートを有するコントロールマルチプレクサを備えたことを特徴とする請求項13に記載の共有メモリシステム。

【請求項15】 前記システムコントローラは、前記プロセッサおよび前記周辺機器に動作的に結合され、前記第二のバスのアクセスを調整する調整器を備えたことを特徴とする請求項12に記載の共有メモリシステム。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、コンピュータシステムのメモリ構成（アーキテクチャ）に関し、特に、中央演算処理装置および周辺機器間でメモリを共有するための構造に関する。

【0002】

【従来の技術】 コンピュータシステムの性能とコストは、システムのメモリ構成に影響される。従来のメモリ構成には、一定量のメモリを中央演算処理装置（CPU）専用に割り当ててCPUに接続して、CPUに独占的に使用させ、その他のメモリをコンピュータディスプレイなどの周辺機器に専用に割り当てて接続した固定メモリ構成を有するものがある。典型的な構成の一つとしては、CPU専用の数メガバイトのダイナミックランダムアクセスメモリ（DRAM）と、表示装置などの周辺機器に専用に用いられる別のDRAMとを有するものがある。

【0003】 図5にこの従来の固定メモリ構成を示す。図示の構造では、CPU101がプロセッサバス102とシステムコントローラ103を介してメモリ104に接続されている。メモリ104は、例えば、CPU101により専用に使用される従来のDRAMバンクであ

る。図示の構造においては、システムコントローラ103は、周辺要素相互接続（PCI）バスなどの周辺機器バス105にも接続されている。周辺機器バス105によってCPU101は従来の周辺機器コントローラ106に接続される。

【0004】 この従来の構造においては、周辺機器コントローラ106は専用の周辺機器メモリ107に接続されている。このようにして、メモリ104はCPU101に専用に用いられ、周辺機器メモリ107は連結された周辺機器コントローラ106に専用に使用される。この構造においては、周辺機器コントローラ106専用の周辺機器メモリ107（例えばグラフィックス用のフレームバッファとして用いられるメモリ）はかなり大きくなることがあり、周辺機器コントローラ106に接続された周辺機器（図示せず）が周辺機器メモリ107により与えられるメモリスペース全体を必要としない場合には、十分に活用されないことが多い。このようにメモリを十分に活用できないと、システムの能力が低下し、コンピュータシステムにおける総合的メモリコストが増大してしまう。

【0005】 別の従来のメモリ構造は、統合メモリ構造（UMA）である。統合メモリ構造を有するシステムは、一般に、システムコストが低く、メモリ利用度が高い。これらの利点は、周辺機器専用のメモリを排除することにより達成される。

【0006】 従来の統合メモリ構造の一例を図6に示す。図示の従来の統合メモリ構造は、CPU101と複数（ここでは2個）の周辺機器コントローラ106を複数（ここではN個）のメモリ104に接続するためにひとつの共有メモリバス108を有している。この統合メモリ構造はさらに、CPU101と周辺機器コントローラ106のメモリ要求出力に接続されたシステムコントローラ103を有する。周辺機器コントローラ106は、周辺機器バス105を介してベーシック入/出力システム109に接続されている。システムコントローラ103は、周辺機器コントローラ106とCPU101によるメモリ104へのアクセスを調整し、メモリの競合を防ぐ。

【0007】

【発明が解決しようとする課題】 しかし、このメモリアクセス調整は、数クロックサイクルを要するため、システムの性能を低下させる。

【0008】 そこで、本発明の課題は、メモリの活用度を向上させ、全体的なシステムメモリ要求とコストを低減させ、しかもシステムの性能を低下させることのないメモリ構造を提供することである。

【0009】

【課題を解決するための手段】 本発明によれば、プロセッサおよび周辺機器を有するコンピュータシステムにおいてメモリを割り当てる方法において、構成要求を受信す

るステップと、前記構成要求に従って決定される前記メモリの第一の部分をプロセッサ専用割り当てステップと、前記構成要求に従って決定される前記メモリの第二の部分を前記プロセッサおよび前記周辺機器に共有されるものとして割り当てステップとを含むことを特徴とするメモリ共有方法が提供される。

【0010】本発明によればまた、プロセッサと、前記プロセッサに接続されたプロセッサバスと、周辺機器と、前記周辺機器および前記プロセッサに接続された共有バスと、複数のメモリを含むコンピュータシステム10のメモリを構成する方法において、共有メモリとプロセッサメモリのいずれかを指定するメモリ割り当て要求を受信するステップと、前記割り当て要求を記憶するステップと、共有メモリを指定する記憶された割り当て要求に応じて前記メモリを共有メモリバスに切替えるステップと、プロセッサメモリを指定する記憶された割り当て要求に応じて前記メモリをプロセッサバスに切替えるステップとを含むメモリ共有方法が提供される。

【0011】本発明によればさらに、プロセッサと、周辺機器と、複数のメモリとを有し、前記プロセッサおよび前記周辺機器によりアクセスされる共有メモリとして、または、前記プロセッサによりアクセスされるプロセッサ専用メモリとして、メモリを構成するシステムにおいて、前記プロセッサに接続された第一のバスと、前記周辺機器および前記プロセッサに接続された第二のバスと、前記共有メモリバスと、前記プロセッサバスと、少なくとも一つのメモリに接続され、前記メモリを前記第一および前記第二のバス的一方に選択的に接続させるコントローラとを備えたことを特徴とする共有メモリシステムが提供される。

【0012】具体的には、本発明によるプログラマブルメモリ共有方法および共有メモリシステムは、選択的に、メモリの第一の部分をプロセッサによる使用に専用割り当て、メモリの第二の部分をプロセッサおよびシステム内の周辺機器による共有に割り当てる。プログラマブルメモリ構造は、デュアルバス構造および複数の構成可能なメモリバンクを用いて実現される。デュアルバス構造はプロセッサに接続された第一のバスと、周辺機器コントローラによって周辺機器に接続されるとともにシステムコントローラを介してプロセッサに接続された第二のバスとを有している。

【0013】また、プログラマブルメモリ構造は、構成可能なメモリバンクの各々に接続された構成コントローラを有する。各構成コントローラはさらに、第一および第二のバスの両方に接続されている。プログラムされた制御のもとで、各構成コントローラは、システムコントローラに記憶された構成情報に応じて、メモリを第一および第二のバスのいずれかに接続する。第一のバス（プロセッサバス）に接続されたメモリは専用のプロセッサメモリとして動作し、第二のバス（共有メモリバス）に

接続されたメモリは、プロセッサならびにシステム内の周辺機器によりアクセス可能な共有メモリとして動作する。

【0014】さらに、システムコントローラはメモリ構成制御ワードを記憶し、共有メモリへのアクセスを調整して、共有メモリバスにおける競合を回避する。プロセッサバスに接続されたメモリはプロセッサによってのみアクセスされ、周辺機器によってアクセスされることはないため、プロセッサは共有メモリへの周辺機器によるアクセスと同時に周辺機器とは独立した処理動作を実行することができる。

【0015】本発明の態様によれば、プログラマブルメモリ共有方法および共有メモリシステムは、受信したメモリ構成要求に応じて、システム起動時にメモリを動的に構成する。すなわち、メモリ構成要求に応じて、選択された量のシステムメモリを専用のプロセッサメモリとして構成し、選択された量のメモリを（ホストプロセッサおよびシステム内周辺機器によりアクセス可能な）共有メモリとして構成する。このプログラマブルメモリ構造においては、ホストプロセッサには、システム内周辺機器と共有のメモリスペース（共有メモリスペース）に加えて、専用のメモリスペースが設けられている。

【0016】好ましくは、プロセッサ専用メモリ（プロセッサバスに接続されたメモリ）と共有メモリ（共有メモリバスに接続されたメモリ）の間でのメモリ割り当ては、システム起動時に、システム内の周辺機器の数と種類ならびにシステム内に含まれる物理的メモリの量に応じて効率的なシステム動作が達成されるようにユーザーが選択する。

【0017】一態様において、メモリ構成制御装置は、各メモリに関連するデータ信号と、アドレス信号と、制御信号とを、プロセッサバスまたは共有メモリバスのいずれかに選択的に接続するためのデータマルチプレクサと、アドレスマルチプレクサと、制御マルチプレクサとを備えている。

【0018】明細書中に説明する特徴および利点に限られることなく、当業者であれば図面、明細書および請求項から、その他数多くの特徴および利点が明らかに考察されよう。さらに、明細書に用いられている文章は、説明の便宜上選択されたものであり、発明の主題を限定するものではなく、本発明の主題は請求項によってのみ定められることは言うまでもない。

【0019】

【発明の実施の形態】図1に、本発明のプログラマブル共有メモリ構造を有するコンピュータシステム200を示す。コンピュータシステム200は、CPU（ホスト中央演算処理装置）101と、システムコントローラ201と、N個のメモリ（またはメモリバンク）104にそれぞれ接続された複数のメモリ構成コントローラ202と、従来と同様の複数の周辺機器コントローラ106

と、読出専用メモリに記憶されているベーシック入/出力システム (ROM BIOS) 109とを有する。コンピュータシステム200は、ホストプロセッサバス (以下、HPBと呼ぶ) 203と共有メモリバス (以下、SMBと呼ぶ) 206を含むデュアルバス構造を有する。HPB203は、CPU101をシステムコントローラ201と各メモリ構成コントローラ202とに接続する。SMB206は、周辺機器コントローラ106と、システムコントローラ201と、各メモリ構成コントローラ202に接続されている。

【0020】好ましくは、コンピュータシステム200はさらに、各周辺機器コントローラ106とベーシック入/出力システム109とに接続されたPCIバス105を有する。好ましい実施態様においては、メモリ104のバンクは6個である (図1および図3においてN=6)。しかし、本発明の原理は、異なる数のメモリ104を有するシステムにも適用できることは言うまでもない。

【0021】好ましい実施態様においては、CPU101はインテルコーポレーション製のペンティアム (登録商標) マイクロプロセッサである。あるいは、その他のプロセッサ、例えば、インテルコーポレーション製の486マイクロプロセッサ、アドバンストマイクロデバイス社製のK5プロセッサ、またはサイリクスコーポレーション製のM1プロセッサなどを用いることもできる。また、好ましい実施態様において、メモリ104は、NECエレクトロニクス製のダイナミックランダムアクセスメモリ (DRAM) である。

【0022】システムコントローラ201 (図3を参照して後述する) は、好ましくは、下記のシステム制御機能を実行する回路モジュールを有する、用途に応じた特別の集積回路である。すなわち、システム制御機能に、1) PCIバス105へのブリッジインターフェースを与えること、2) メモリ構成情報を含むシステム構成情報を記憶すること、3) アドレスを復号すること、4) キャッシュメモリ (図示せず) を制御すること、5) 各メモリ104へのインターフェースを与えること、および、6) メモリアccessを調整すること、が含まれる。

【0023】周辺機器コントローラ106は、従来の周辺機器コントローラと同じであり、関連周辺機器に接続される。ベーシック入/出力システム109は、本発明に係るBIOSプログラムを記憶するようにプログラムされた従来の読出専用メモリ (ROM) である。図示の実施態様において、HPB203およびSMB206は、64ビット幅のデータ経路を有するバスである。しかしながら、本発明の原理は、その他のバス幅や、その他のメモリタイプ、その他のメモリサイズ、その他のコントローラ構成を有するシステムにも適応されることは言うまでもない。

【0024】本発明によれば、各メモリ104 (以下、

集散的に「システムメモリ」と呼ぶ) は、ホストプロセッサ専用メモリ、または、周辺機器 (周辺機器コントローラ106を介して) またはホストプロセッサ (CPU101) のいずれかによりアクセスされる共有メモリとして動作するように構成される。一実施態様においては、メモリ104は、立ち上げ (システム起動) プロセスの間に構成される。その他の実施態様においては、メモリは高レベルのシステムすなわちオペレーティングシステムの構成プロセスの間に構成される。例えば、ウィンドーベースのユーザインターフェースを提供するオペレーティングシステムを用いた実施態様の場合、ウィンドープロパティの構成中にメモリセットアップが起きる。特定のメモリ構成はユーザによって特定されるか、または、システムメモリの全量やコンピュータシステム200に接続されている周辺機器の種類、システムにより実行されるタスクの種類とそれらに対応するメモリ需要などのシステムパラメータに基づいてプログラムされる。プログラムされた制御のもとでは、メモリは動的に、ホストプロセッサメモリまたは共有メモリのいずれかとして割り当てられる。この柔軟なシステムメモリ構成によって、(ホストプロセッサメモリと共有メモリの) 各メモリスペースの大きさを選択することができ、現在の周辺機器構成と、実行すべきタスクの種類に応じて、メモリの活用度を向上させることができる。よって、プログラマブルメモリ構造において、メモリを効率的に活用し、システム性能を低下させることなく全体的なシステムコストを低減させることができるという利点が得られる。

【0025】図1に戻って、CPU101はシステムコントローラ201およびメモリ構成コントローラ202を用いて各メモリ104を構成する。起動に際して、ベーシック入/出力システム109からCPU101上のローカルメモリにBIOSプログラムがアップロードされる。好ましくは、BIOSプログラムはメモリテストを実行し、コンピュータシステム200において利用可能な全システムメモリを決定し、利用可能なメモリについてコンピュータ画面 (図示せず) 上でユーザーに知らせる。もしくは、メモリの構成は、オペレーティングシステム構成などの高レベルの構成プロセス中に行なわれる。好ましい実施態様においては、ユーザーを促して、CPU101専用のメモリの量と、CPU101と周辺機器コントローラ106により共有される共有メモリに割り当てる量との間の所望のメモリ割当てを特定させる。メモリ構成情報は、システムコントローラ201に書き込まれ、記憶される。システムコントローラ201は各メモリ構成コントローラ202に接続され、各メモリ104を、ユーザが選択的にプログラムしたとおり、ホストプロセッサ専用のメモリまたは共有メモリのいずれかとして動作するように構成する。

【0026】メモリ構成コントローラ202は、プロセ

ッサバスに接続された第一のI/O（入出力）ポートと、共有メモリバスに接続された第二のI/Oポートと、連結されたメモリ104に接続された第三のI/Oポートとを有する。各メモリ構成コントローラ202は、システムコントローラ201からモード選択制御信号を与えられる。モード選択制御信号は、各メモリ104に関する特定の割当て（共有またはホストプロセッサ専用）を示す。与えられたモード選択信号が第一または第二のどちらのデジタル状態であるかに応じて、メモリ構成コントローラ202は、メモリI/OポートをSMB206またはHPB203のいずれかに接続する。モード選択制御信号に接続されていることに加えて、メモリ構成コントローラ202は、システムコントローラ201のホストメモリ制御出力部に接続され、HMA\_CTRL（制御）信号の集合を受信し、さらに、システムコントローラ201の共有メモリ制御出力部に接続され、SMA\_CTRL信号の集合を受信する。モード選択、SMA\_CTRL、HMA\_CTRLの各信号はシステムコントローラ201より生成され、メモリ構成コントローラ202によって、接続された各メモリ104に対する読出、書込、及びイネーブル制御信号を生成するために用いられる。

【0027】図2は、本発明に係るメモリ構成コントローラ202の機能ブロック図である。メモリ構成コントローラ202は、データルーター（データ経路マルチプレクサ）301と、制御マルチプレクサ302と、アドレスマルチプレクサ304と、コントローラ303とを有する。

【0028】データルーター301は、コントローラ303から受信した制御信号に応じて第三のI/Oポートに選択的に接続される第一および第二のI/Oポートを有するマルチプレクサ/セクタである。第一のI/OポートはHPB203に接続されており、第二のI/OポートはSMB206に接続されている。すなわち、データルーター301は、メモリ104に接続されたメモリバスを（従って、メモリ104を）、コントローラ303により生成される制御信号に応じて、HPB203またはSMB206のいずれかに接続する。

【0029】コントローラ303は、システムコントローラ201に接続され、システムコントローラ201からのHMA\_CTRL信号、SMA\_CTRL信号、およびモード選択制御信号を受信する。コントローラ303は受信した制御信号を復号して一組の制御信号を生成し、データルーター301の動作を制御する。すなわち、コントローラ303は出力イネーブル信号（OE）およびバス選択信号（SEL）を生成する。下記の表1に示す状態を有する出力イネーブル信号およびバス選択信号に応じて、データルータ301は表1の動作モードになる。

【0030】

【表1】

OE	SEL	動作モード
0	0	メモリはどちらのバスにも接続されない
0	1	メモリはどちらのバスにも接続されない
1	0	メモリをSMBに接続
1	1	メモリをHPBに接続

コントローラ303は、HMA\_CTRL、SMA\_CTRL、およびモード選択制御の各制御信号を復号して、表1に示す出力イネーブル信号OEおよびバス選択信号SELを生成する。HMA\_CTRL信号は読出イネーブル（RD）および書込みイネーブル（WR）信号を含む制御信号の集合である。SMA\_CTRL信号も同様に、読出イネーブル（RD）および書込みイネーブル（WR）信号を含む。HMA\_CTRLおよびSMA\_CTRL信号の集合はメモリ104を動作させるために必要とされる制御信号によって決定される。その他のメモリタイプは異なる制御要件を有しており、したがって、異なる制御信号の集合と、コントローラ303による異なる復号が要求される。表2に、システムコントローラ201により生成されたHMA\_CTRL、SMA\_CTRL、およびモード選択制御の各信号に応じて、コントローラ303により生成された出力イネーブル信号OEおよびバス選択信号SELの状態を示す。

【0031】

【表2】

モード選択	HMA_CTRL		SMA_CTRL		OE	SEL
	RD	WR	RD	WR		
0	*	*	0	0	0	*
0	*	*	0	1	1	0
0	*	*	1	0	1	0
1	0	0	*	*	0	*
1	0	1	*	*	1	1
1	1	0	*	*	1	1

モード選択信号は、SMB206が選択されている第一の状態（デジタル「0」すなわち低レベル状態）と、HPB203が選択されている第二の状態（デジタル「1」すなわち高レベル状態）を持つ。SMA206のバスが選択されている場合（モード選択=0）、出力イネーブル信号OEおよびバス選択信号SELを生成するためにHMA\_CTRL信号は用いられない。したがって、表2においてはHMA\_CTRL信号は無視状態（\*）として示されている。同様に、HPB203が選択されている場合（モード選択=1）、出力イネーブル



信号OEおよびバス選択信号SELを生成するためにSMA\_CTRL信号は用いられない。従って、表2においてはSMA\_CTRL信号は無視状態(\*)として示されている。

【0032】制御マルチプレクサ302は、モード選択制御信号に応じて第三のI/Oポートに選択的に接続される第一および第二のI/Oポートを有するマルチプレクサ/セクタである。第一のI/OポートはHMA\_CTRL信号(システムコントローラ201から受信した)に接続され、第二のI/OポートはSMA\_CTRL信号(やはりシステムコントローラ201から受信した)に接続されている。すなわち、制御マルチプレクサ302は、メモリ104に接続された制御入力を、モード選択制御信号が第一と第二の状態のどちらの状態にあるか、たとえばデジタル「1」またはデジタル「0」のどちらの状態にあるかに応じて、HMA\_CTRLまたはSMA\_CTRL信号のいずれかに接続する。

【0033】同様に、アドレスマルチプレクサ304は、制御信号に応じて第三のI/Oポートに接続されるよう選択的に構成された第一および第二のI/Oポートを有するマルチプレクサ/セクタである。第一のI/Oポートはシステムコントローラ201により生成されたHMA\_Addr(アドレス)信号に接続され、第二のI/Oポートはやはりシステムコントローラ201により生成されたSMA\_Addr信号に接続され、第三のI/Oポートはメモリ104のアドレス入力に接続されている。すなわち、アドレスマルチプレクサ304は、システムコントローラ201により生成されたモード選択制御信号の状態に応じて、メモリ104に連結されたアドレス入力を、HMA\_Addr信号またはSMA\_Addr信号のいずれかに接続する。

【0034】図3に、本発明に係るシステムコントローラ201を示す。システムコントローラ201は、CPU101と接続することができ、さらに、システムコントローラ201とCPU101との間のインターフェースを提供することができるCPUインターフェース401を含む。また、システムコントローラ201は、CPUインターフェース401に接続されたDRAMバッファ402を含み、このDRAMバッファ402は、周辺機器コントローラ106またはメモリ104のいずれかから受取った、またはそこに書込まれた情報の読出/書込みバッファリングを行なう。DRAMバッファ402はCPU-PCIブリッジ405およびバッファ406、407を介してPCIバス105に接続され、周辺機器に書込まれたまたはそこから読出した情報のバッファリングを可能にする。DRAMバッファ402はさらにSMB206に接続しており、これによって、共有メモリとして構成されたメモリ104に書込みまたは読出した情報のバッファリングを可能とする。

【0035】システムコントローラ201はさらに、C

PU-PCIブリッジ405およびCPUインターフェース401を介してCPU101に接続された構成レジスタ414を有する。構成レジスタ414は、キャッシュ情報、PCIインターフェース情報、メモリ構成データを含むシステム構成情報を受信し、記憶する。好ましい実施態様においては、構成レジスタ414は8ビット幅レジスタのアレイを有する。

【0036】図4に、メモリ構成に関連し、構成レジスタ414に含まれている、本発明に係るレジスタアレイを示す。レジスタ501は、各メモリ104について、選択されたモード(共有またはホスト)の状態を記憶するためのモード選択レジスタである。レジスタ501のビット0~5はそれぞれ、メモリ104に対応している。表3に、レジスタ501の復号形態を示す。

【0037】

【表3】

ビット	初期値	機能
7:6	0h	保留
5	0	1:バンク5はホストバス上にある 0:バンク5は共有メモリバス上にある
4	0	1:バンク4はホストバス上にある 0:バンク4は共有メモリバス上にある
3	0	1:バンク3はホストバス上にある 0:バンク3は共有メモリバス上にある
2	0	1:バンク2はホストバス上にある 0:バンク2は共有メモリバス上にある
1	0	1:バンク1はホストバス上にある 0:バンク1は共有メモリバス上にある
0	0	1:バンク0はホストバス上にある 0:バンク0は共有メモリバス上にある

第一の状態(デジタル「0」すなわち低レベル状態)のビットは、対応するメモリ104について共有モードが選択されたことを示す。第二の状態(デジタル「1」すなわち高レベル状態)を有するビットは、対応するメモリ104についてホストモードが選択されたことを示す。レジスタ501のビット6および7は、このシステムにおいては使用されていない。レジスタ501の出力ビット0~5の各々は、各メモリ構成コントローラ202に接続された静的モード選択信号を形成する。

【0038】レジスタ502は、システムメモリの状態(メモリが有るか、および使用可能かどうか)を記憶するメモリ状態レジスタである。表4に、レジスタ502の復号形態を示す。

【0039】

【表4】

ビット	初期値	機能
7:6	0h	保留
5	0	バンク5 1:使用可能且つ存在する 0:使用可能でないか、存在しない
4	0	バンク4 1:使用可能且つ存在する 0:使用可能でないか、存在しない
3	0	バンク3 1:使用可能且つ存在する 0:使用可能でないか、存在しない
2	0	バンク2 1:使用可能且つ存在する 0:使用可能でないか、存在しない
1	0	バンク1 1:使用可能且つ存在する 0:使用可能でないか、存在しない
0	0	バンク0 1:使用可能且つ存在する 0:使用可能でないか、存在しない

好ましい実施態様においては、ビット0～5はそれぞれシステムにおいて用いることのできるメモリ（例えばメモリ104）のバンクに対応する。第一の状態を有するビットは、対応するメモリ104のバンクが存在し、且つ使用可能であることを示し、第二の状態を有するビットは、対応するメモリ104のバンクが存在しないか、もしくは使用可能でないことを示す。

【0040】レジスタ503～505は、各メモリ104の大きさを示す情報を記憶する。表5、表6、および表7に、レジスタ503～505の復号形態を示す。

【0041】

【表5】

ビット	初期値	機能
7	0	保留
6:4	0h	バンク5 SDRAMサイズ 000:1M×16SDRAM 001:2M× 8SDRAM 010:4M× 4SDRAM その他:保留
3	0	保留
2:0	0h	バンク4 SDRAMサイズ 000:1M×16SDRAM 001:2M× 8SDRAM 010:4M× 4SDRAM その他:保留

【0042】

【表6】

ビット	初期値	機能
7	0	保留
6:4	0h	バンク3 SDRAMサイズ 000:1M×16SDRAM 001:2M× 8SDRAM 010:4M× 4SDRAM その他:保留
3	0	保留
2:0	0h	バンク2 SDRAMサイズ 000:1M×16SDRAM 001:2M× 8SDRAM 010:4M× 4SDRAM その他:保留

【0043】

【表7】

ビット	初期値	機能
7	0	保留
6 : 4	0h	バンク1 SDRAMサイズ 000 : 1M×16SDRAM 001 : 2M× 8SDRAM 010 : 4M× 4SDRAM その他 : 保留
3	0	保留
2 : 0	0h	バンク0 SDRAMサイズ 000 : 1M×16SDRAM 001 : 2M× 8SDRAM 010 : 4M× 4SDRAM その他 : 保留

構成レジスタ414はさらに、キャッシュコントローラ411と、ホストDRAMコントローラ408と、共有DRAMコントローラ409と、アドレス/コマンド復号器410に接続されている。

【0044】ホストDRAMコントローラ408および共有DRAMコントローラ409はそれぞれ、構成レジスタ414およびアドレス/コマンド復号器410に接続され、構成コントロール情報と復号アドレス情報を受信する。ホストDRAMコントローラ408および共有DRAMコントローラ409はそれぞれ、連結されたメモリ104に対して適切な読出・書込み、および再生信号を生成することによりDRAM機能を管理する。

【0045】共有メモリDRAMコントローラ409は各メモリ構成コントローラ202に接続され、各メモリ構成コントローラ202を構成する制御信号を生成し、接続されたメモリ104をSMB206に接続する。共有DRAMコントローラ409はさらに、CPU101または周辺機器コントローラ106により要求されたメモリアクセスの種類（読出または書込）に応じて、読出・書込制御信号を発生する。

【0046】ホストDRAMコントローラ408は、各メモリ構成コントローラ202に接続されており、各メモリ構成コントローラ202を構成する制御信号を発生して、接続されたメモリ104をHPB203に接続する。ホストDRAMコントローラ408はさらに、CPU101により要求されたメモリアクセスの種類（読出または書込）に応じて、読出・書込制御信号を発生する。

【0047】アドレス/コマンド復号器410は、CPU-CPIブリッジ405と構成レジスタ414に接続されている。アドレス/コマンド復号器410は、ホストメモリ復号器および共有メモリ復号器を有する。ホストメモリ復号器は、CPU-CPIブリッジ405から

受信したアドレスを復号し、そのアドレスがホストプロセッサメモリまたは共有メモリのどちらに対応するかを判定する。新たなメモリアクセスサイクルの開始時に、アドレス/コマンド復号器410が、当該アドレスがホストメモリに対応すると判定した場合、アドレス/コマンド復号器410はトリガ制御信号を発してホストDRAMコントローラ408を起動する。また、新たなメモリアクセスサイクルの開始時に、アドレス/コマンド復号器410が、当該アドレスが共有プロセッサメモリに対応すると判定した場合、アドレス/コマンド復号器410はトリガ制御信号を発して共有DRAMコントローラ409を起動する。

【0048】アドレス/コマンド復号器410はさらに、各メモリ構成コントローラ202にそれぞれ接続されるHMA\_CTRLおよびSMA\_CTRL信号の集合を発生する。

【0049】システムコントローラ201におけるバッファ406、407はそれぞれ、PCIマスターインターフェース、PCIスレーブインターフェースを含む。PCIマスターインターフェースは、PCIバスマスターとのインターフェースに適した従来のPCIバスインターフェースである。PCIマスターインターフェースは読出先取りバッファおよび書込みバッファを有している。PCIスレーブインターフェースは、PCIスレーブ周辺機器とのインターフェースに適した従来のPCIバスインターフェースである。

【0050】好ましくは、システムコントローラ201はさらに、任意のキャッシュRAM412を制御するためのキャッシュコントローラ411を含み、接続されたタグRAM413をシステム中にオプションとして含めることができる。

【0051】システムコントローラ201はさらに、調整ユニット403を有する。調整ユニット403は、共有DRAMコントローラ409と、各周辺機器コントローラ106に接続される。調整ユニット403は、メモリアクセスが必要な場合に、各周辺機器コントローラ106により生成されたメモリ要求信号を受信する。調整ユニット403は、どの要求バスマスターに共有メモリへのアクセスを許可するかを決定する。アクセス許可のためのバスマスターを選択した後、調整ユニット403は、対応する周辺機器コントローラ106に、「GRANT（許可）」信号を送り返す。

【0052】すなわち、動作中に、例えば、第一のメモリ（1）104を、ホストプロセッサ専用メモリとして動作するように構成し、残りのメモリ（2～N）104を共有メモリとして動作するように構成することができる。この構成によれば、CPU101は、調整を必要とすることなく第一のメモリ104にアクセスする。なぜなら、ホストプロセッサ専用メモリとのメモリ競合は起こり得ないからである。CPU101が第一のメモリ1

04にアクセスすると同時に、周辺機器は残りの共有メモリ104のいずれかにアクセスできる。このように、CPU101が周辺機器とは独立した動作を行ない、ホスト専用メモリにのみアクセスしている間に、バスマスター能力を有する周辺機器は、独立して共有メモリにアクセスすることができる。

【0053】以上、本発明を実施例を用いて説明したが、当業者であれば、本発明の趣旨や本質的な特徴を逸脱することなく、種々の変形が可能であることは言うまでもない。従って、上記の本発明の開示は説明のための10のものであって、本発明の範囲を限定するものではなく、本発明の範囲は請求の範囲に述べられたとおりである。

【0054】

【発明の効果】以上説明してきたように、本発明によれば、システムの性能を低下させることなくメモリの活用度を向上させ、全体的なシステムメモリ要求とコストを低減させることができる。

【図面の簡単な説明】

【図1】本発明に係るプログラマブル共有メモリ構造を有するコンピュータシステムの機能ブロック図である。 20

【図2】本発明に係るメモリ構成コントローラの機能ブロック図である。

【図3】本発明に係るシステムコントローラの機能ブロック図である。

【図4】本発明に係るシステムコントローラに含まれるレジスタアレイを示す図である。

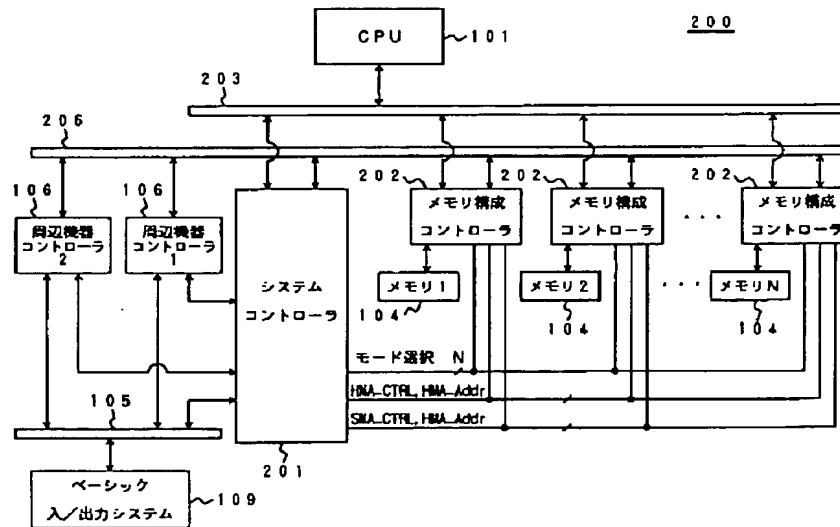
【図5】従来の固定メモリ構造を示す図である。

【図6】従来の統合メモリ構造を示す図である。

【符号の説明】

101 CPU  
104 メモリ  
105 PCIバス  
106 周辺機器コントローラ  
109 ベーシック入/出力システム  
200 コンピュータシステム  
201 システムコントローラ  
202 メモリ構成コントローラ  
203 ホストプロセッサバス  
206 共有メモリバス

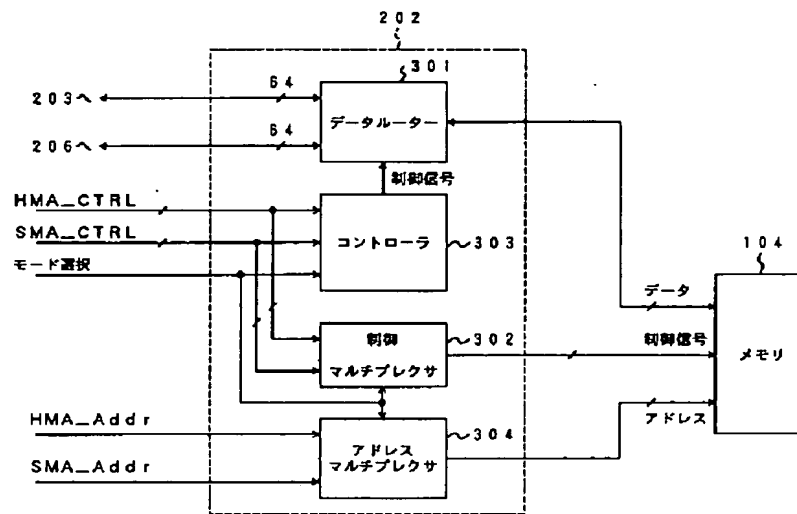
【図1】



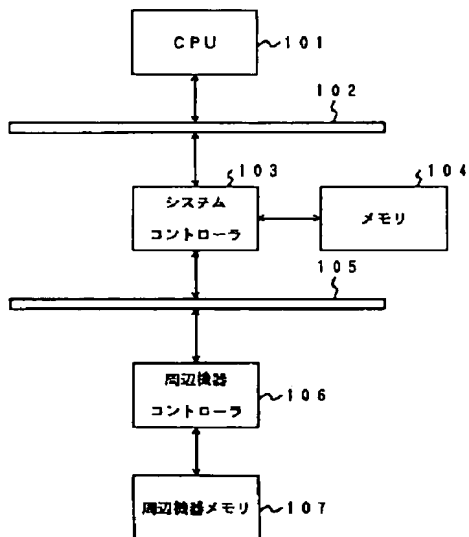
【図4】

ビット	7	6	5	4	3	2	1	0	
モード選択	*	*	B5	B4	B3	B2	B1	B0	501
メモリの状態	*	*	B5	B4	B3	B2	B1	B0	502
メモリサイズ	*	バンク5			*	バンク4			503
メモリサイズ	*	バンク3			*	バンク2			504
メモリサイズ	*	バンク1			*	バンク0			505

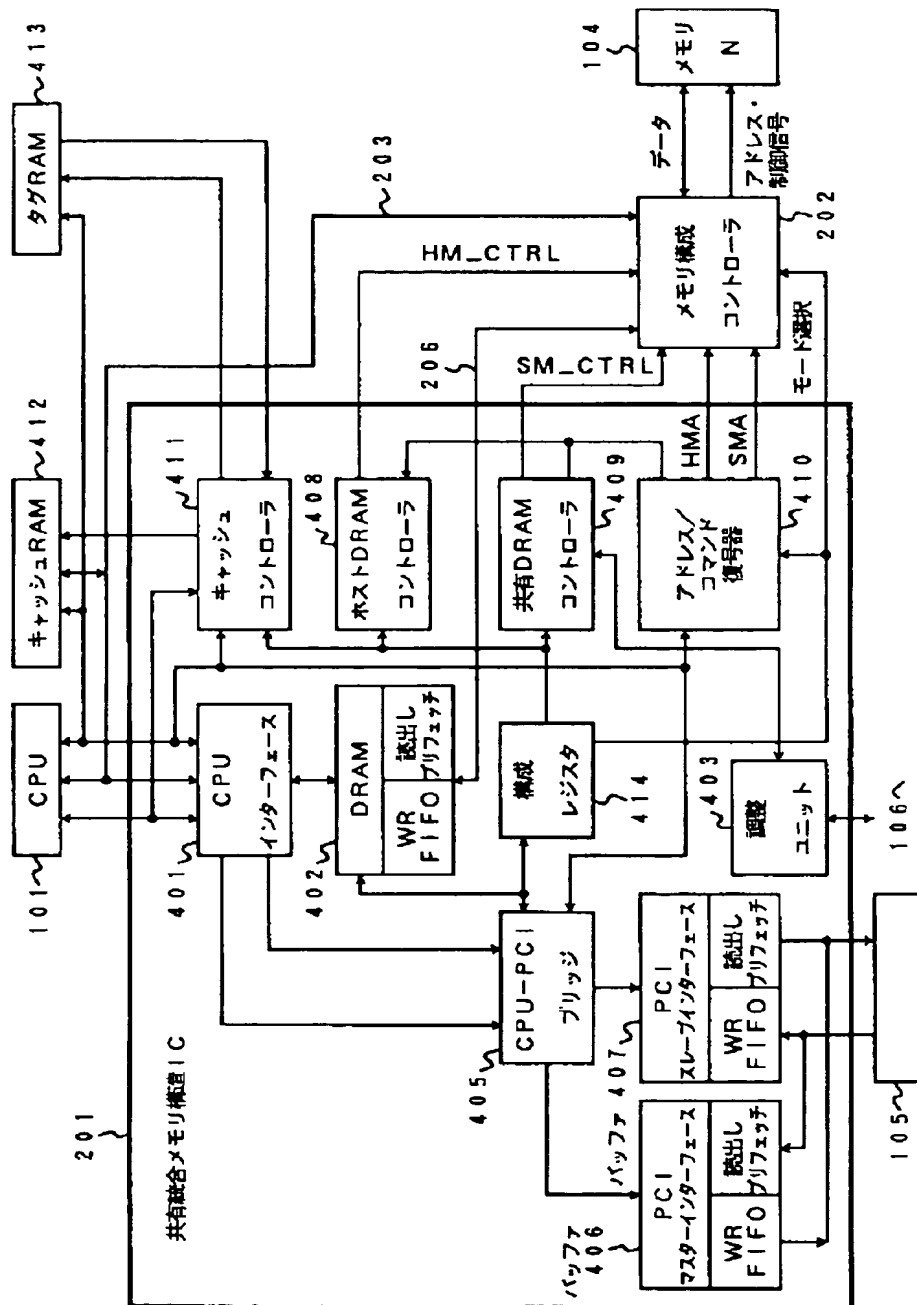
【図2】



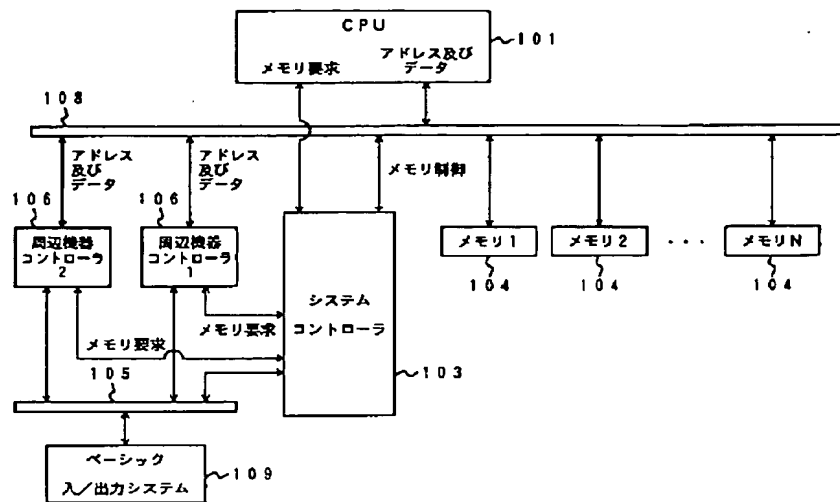
【図5】



【図3】



【図6】



フロントページの続き

(72)発明者 ジョン ウォン  
アメリカ合衆国, カリフォルニア, オーク  
ランド, サーティナインス アヴェニュー  
3719

(72)発明者 ゴン—ジョン イー  
アメリカ合衆国, カリフォルニア, サン  
ホセ, キャッスルウッド ドライブ 4772